

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 63253713 A

(43) Date of publication of application: 20.10.88

(51) Int. CI

H03H 17/02 // H03K 7/02 H03M 1/12

(21) Application number: 62088198

(22) Date of filing: 09.04.87

(71) Applicant:

PIONEER ELECTRONIC CORP

(72) Inventor:

KOBAYASHI AKISANE

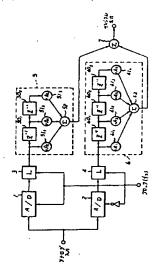
(54) SAMPLING CIRCUIT

(57) Abstract:

PURPOSE: To constitute a digital system by circuit components operated at a clock frequency being nearly the sampling frequency by applying n-phase A/D conversion while the sample point is deviated by $2\pi/n$ at every sampling frequency and passing the signal through a digital low pass filter at every phase and summing the

CONSTITUTION: The analog signal is fed to two (biphase) A/D converters 1, 2, which apply biphase A/D conversion by a sampling frequency (fs) having a phase difference of 180°C with each other. The signal passes through the digital low pass filters 5, 6 whose interrupting frequency is fs/2 at every phase and the result is summed at an adder 7. Thus, the circuit components of the digital system such as A/D converters are enough to be operated at a low clock frequency being nearly the frequency (fs) or enough to transmit a signal having a frequency of nearly fs/2 and the circuit constitution is simplified.

COPYRIGHT: (C)1988,JPO&Japio



⑫ 日本国特許庁(JP)

① 特許出願公開

⑩ 公 開 特 許 公 報 (A)

- 昭63 - 253713

MInt Cl.4

識別記号

庁内整理番号

❸公開 昭和63年(1988)10月20日

H 03 H 17/02 H 03 K H 03 M 7/02 1/12 A-6903-5J

7328 — 5 J 6832 — 5 J

審査請求 未請求 発明の数 1 (全3頁)

❷発明の名称 サンプリング回路

> ②特 願 7262-88198

23出 頭 昭62(1987) 4月9日

②発 眀 者 林 小

実

埼玉県所沢市花園 4 丁目2610番地 パイオニア株式会社所

沢工場内

パイオニア株式会社 仍出

東京都目黑区目黒1丁目4番1号

砂代 理 人 弁理士 藤村 元彦

1. 発明の名称

サンプリング国路

2. 特許請求の範囲

互いに 2 π / n (nは2以上の整数)の位相差 を有するサンプリング周波数15でアナログ信号 をディジタル化する n 値の A / D (アナログ/デ ィジタル)変換器と、これらA/D変換器の各出 カを入力とする遮断周被数fs/2のn個のディ ジタルLPF (ローパスフィルタ) と、これらデ ィジタルLPFの各出力を加算する加算器とを僻 えたことを特徴とするサンプリング回路。

3. 発明の詳細な説明

技折分野

本発明は、サンアリング回路に関し、特にA/ D変換器を含むサンプリング回路に関するもので

背景技術

時間的に連続な信号、すなわちアナログ信号を

サンプリング(様本化)し、ディジタル信号に変 換するに際しては、根本化定理により、ディジタ ル化する原信号中にサンプリング周波数 fs の 1 /2以上の周波数成分を含まないことが条件とな っている。もし1/2以上の周波数成分を含んだ 場合には、複調時にエリアシング歪を発生するこ とになる。このため、A/D変換に際しては、ア ナログ段階でLPF(ローパスフィルタ)を用い てサンプリング周波数であり1/2以上の周波数 成分をカットし、しかるのちサンプリング周波数 ↑sでサンプリングし、A/D変換を行なう方法 が一般的に用いられていた。しかしながら、かか る方法においては、エリアシング歪を抑制するた めに設けられたアナログLPFによって位相歪が 発生するという問題があった。

このアナログLPFによる位相歪の問題を解決 するために、第2図に示すように、A/D変換器 10の後段にディジタルLPF11を配し、この ディジタルLPF11として位相直線形FIR ・(非巡回形) フィルタを用いた構成のサンプリン

グ回路が知られている。ディジタルLPF11は、サンプリング周波数1mで決まる1クロック分の遅延時間(21)を有して互いに維持接続された例えば6個の遅延回路110~110mと、遅回路110mの各出力信号及び遅延回路110m~110mの各出力信号に乗賃係数Am~Aァを乗ずる乗算器111m~111mと、各乗算出力を加算する加算器112とからなる位相直線形FLRフィルタ構成となっている。

かかる従来のサンプリング回路においては、2 1sのサンプリング周波数でA/D要換し、ディジタルLPF11を軽たディジタル倡号をダウン サンプリング回路12でダウンサンプリングする 構成となっているので、ディジタル系の回路素子 として高いクロック周波数で動作可能なものを用 いる必要があった。

発明の農芸

本発明は、上述した点に掘みなされたもので、 「s (サンプリング周波数)程度のクロック周波 数で動作可能な回路者子でディジタル系を構成で

ディジタルしPFSは、サンプリング周波を 1 s で決まる1クロック分の遅延時間(で1 1 5 0 1 を 有して互いに収読接続された遅延回路50 1 の入力信号及び遅延回路50 1 の入力信号及び遅返回のの 50 1 、50 1 の各出力信号に対して第2回の低 来回路における偶数番目の乗算係数A 2 、 A 4 算 4 算 4 算 5 2 とから構成されていた 力を加算する加算器52とから構成されていた 一方、ディジタルしPF6は、 D機能に互いに 継続 き、しかも回路構成の簡略化が図れるサンプリング回路を提供することを目的とする。

本発明によるサンプリング回路は、互いに2π /n(nは2以上の整数)の位相差を有するサン プリング周波数 fsでアナログ信号をディジタル 化するn個のA/D変換器と、これらA/D変換 器の各出力を入力とする連筋周波数 fs /2のn 個のディジタルしPFと、これらディジタルしP Fの各出力を加算する加算器とを備えた構成となっている。

実 族 例

以下、本発明の実施例を図に基づいて詳細に説明する。

第1図は本発明の一実施例を示すプロック図であり、例えば2相サンプリングの場合を示している。図において、ディジタル化されるアナログ信号は2つ(2相)のA/D変換器1。2に供給される。A/D変換器1。2は互いにπ(180°)の位相差を有するサンプリング周波数で s でアナログ信号をサンプリングし、2相のディジタル信

接続された遅延回路601 , 602 , 602 , 602 と、遅延回路601 の入力信号及び遅延回路601 ~ 6 0 2 の各出力信号に対して従来回路におけるが数番目の矩阵係数A1 , A2 。A5 。A5 を乗びる乗算器611 ~614 と、各乗算出力を加算する加算器62とから構成されている。すなわち、ディジタルLPF5,6及び加算器7からなる回路は、第2回の従来回路におけるディジタルLPF11と等面な四路構成となっている。

このように、互いに 1 8 0 の位相差を有する サンプリング周波数 f s で 2 相の A / D 変換を有する 行ない、 各相毎に遮断周波数 f c が 2 のディジタルに 1 5 の 6 を 通過せ しめ たのち加気する で 変 程 日 り、 各相の信号系に 4 日 する と、 A / D 変 程 限 の は 5 の とする ディジタル系の の 路 素子は f c 変 程 健 の の 信号を 伝達で きるもので ふ しか も 回路 で の の 信号を 伝達できるもので きょく 2 路 成 が 複雑 化 し 易い 遅延 回路 を 1 個、 さらに ず み い プリング 回路 1 2 を 能来 回路に 比して 削減で さることになる。

特開昭63-253713 (3)

なお、上記実施例では、サンアリング局放数「sでπづつサンブルポイントをすらして2相の A / D 変換を行なうのと等価 放数2「s で単相の A / D 変換を行なうのと等価 な効果を得る場合について説明したが、これに段 定されるものではなく、 n 相サンアリングで良く、この場合、各ディジタル L P F における乗算係数に対して n 個毎の組合わせとすれば良い。

発明の効果

4. 図面の簡単な説明

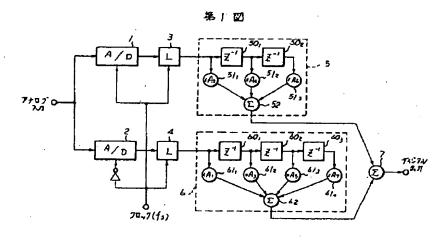
第1図は本発明の一実施例を示すプロック図、第2図は従来例を示すプロック図である。 主要部分の符号の説明

1.2,10 ······ A / D 変換器

5. 6. 11 ··· ·· ディジタルLPF

Z · ······1 クロック分の遅延時間 (演算子)

出额人 パイオニア株式会社 . 代理人 弁理士 藤 村 元 彦



第2 図

